

PAT-NO: JP02004253561A
DOCUMENT-IDENTIFIER: JP 2004253561 A
TITLE: WAFER TEST DEVICE AND METHOD THEREFOR, AND SEMICONDUCTOR WAFER
PUBN-DATE: September 9, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
MIZUKOSHI, TAKASHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP2003041514
APPL-DATE: February 19, 2003

INT-CL (IPC): H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To carry out a wafer test without contacting a probe pin to the wafer as much as possible to avoid such problems as the increase of the contact resistance due to a plurality of probe pin marks left over on the wafer and a reliability problem, and also to shorten the testing time.

SOLUTION: The wafer testing device comprises a stage 103 to place the wafer 104 under test, a prober 102 for supporting the stage 103, data transmission/reception equipment 107 which is placed face to face with the stage 103 and exchanges data with the wafer 104 under test by radio without contacting the probe pin to the wafer 104 under test, and a tester 101 connected to the data transmission/reception equipment 107. A test circuit on the wafer 104 under test receives a test signal from the data transmission/reception equipment 107 and then starts a test, and sends the test results to the data transmission/reception equipment 107 after finishing the test.

COPYRIGHT: (C)2004,JPO&NCIPI

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-253561

(P2004-253561A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl.⁷

H01L 21/66

F I

H01L 21/66

C

テーマコード(参考)

4M106

審査請求 未請求 請求項の数 12 O L (全 11 頁)

(21) 出願番号 特願2003-41514 (P2003-41514)
 (22) 出願日 平成15年2月19日(2003.2.19)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100105647
 弁理士 小栗 昌平
 (74) 代理人 100105474
 弁理士 本多 弘徳
 (74) 代理人 100108589
 弁理士 市川 利光
 (74) 代理人 100115107
 弁理士 高松 猛
 (74) 代理人 100090343
 弁理士 濱田 百合子

最終頁に続く

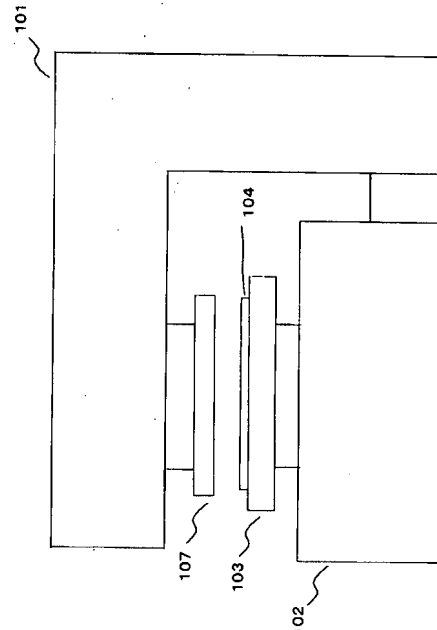
(54) 【発明の名称】 ウェハ検査装置、ウェハ検査方法および半導体ウェハ

(57) 【要約】

【課題】 ウェハに複数のプローブ針跡が付くことによるコンタクト抵抗の増加や信頼性上の問題を回避するため、プローブ針をウェハに極力接触させずにウェハ検査を実施し、かつテスト時間を短縮する。

【解決手段】 被検査ウェハ104を載せるステージ103と、ステージ103を支えるプローバ102と、ステージ103に対向して設けられ被検査ウェハにプローブ針を接触させずに無線により被検査ウェハ104とデータ交換を行うデータ送受信装置107と、データ送受信装置107と接続されるテスト101とを備えたウェハ検査装置を用い、被検査ウェハ104上の被検査回路は、データ送受信装置107よりテスト信号を受信してテストを開始し、テスト終了後にテスト結果をデータ送受信装置107に送信する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

被検査ウェハを載せるステージと、前記ステージに対向して設けられ前記被検査ウェハとプローブ針とを接触させずに前記被検査ウェハとデータ交換を行うデータ送受信装置と、前記データ送受信装置と接続されるテストとを備えるウェハ検査装置。

【請求項 2】

前記テストは、前記被検査ウェハ上に搭載した、前記データ送受信手段からの電磁誘導により電圧を発生させる 1 または複数の電圧発生手段から前記被検査ウェハ上の回路に電源を供給した状態で前記被検査ウェハを検査する請求項 1 記載のウェハ検査装置。

【請求項 3】

前記データ送受信装置は、前記被検査ウェハ上に搭載した、1 または複数の無線送受信回路との間でデータ交換を行う請求項 1 または 2 記載のウェハ検査装置。

【請求項 4】

前記テストは、前記被検査ウェハ上に搭載した、クロックを自己発生する 1 または複数のクロック発生手段から前記被検査ウェハ上の回路にクロックを供給した状態で前記被検査ウェハを検査する請求項 1 から 3 のいずれか一項記載のウェハ検査装置。

【請求項 5】

前記被検査ウェハ上に搭載する電圧発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられる請求項 2 記載のウェハ検査装置。

【請求項 6】

前記被検査ウェハ上に搭載する無線送受信手段は、前記被検査ウェハ上の被検査回路外の領域に設けられる請求項 3 記載のウェハ検査装置。

【請求項 7】

前記被検査ウェハ上に搭載するクロック発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられる請求項 4 記載のウェハ検査装置。

【請求項 8】

前記被検査ウェハ上の被検査回路は、BIST 機能を備える請求項 1 から 7 のいずれか一項記載のウェハ検査装置。

【請求項 9】

前記被検査ウェハ上の被検査回路は、前記被検査回路をユニークに識別することが可能な識別コードを搭載する請求項 1 から 8 のいずれか一項記載のウェハ検査装置。

【請求項 10】

前記テストに接続され、前記被検査ウェハに限定数のプローブ芯を接触させる手段を備える請求項 1 から 9 のいずれか一項記載のウェハ検査装置。

【請求項 11】

請求項 1 から 10 のいずれか一項記載のウェハ検査装置を用いて前記テストから前記被検査ウェハを検査するウェハ検査方法。

【請求項 12】

請求項 1 記載のウェハ検査装置を用いて検査される半導体ウェハであって、請求項 2 から 9 のいずれか一項記載のウェハ検査装置を用いたウェハ検査を行うための回路を搭載する半導体ウェハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体ウェハの検査装置、検査方法および半導体ウェハに関するものである。

【0002】

【従来の技術】

従来、半導体のウェハ検査においては、プローブ針をウェハ上のパッドに接触させる必要があった。プローブ針とパッドの接触においては接触不良による検査ミスを引き起こす可能性があり、その対策としてパッド上のプローブ針の針跡を観察する方法が実施されてい

10

20

30

40

50

る（例えば、特許文献1参照。）。

【0003】

図9は、従来のウェハ検査装置の構成を示す図である。図9において、101はテスト、102はプローバ、103はウェハ104を載せるステージ、105はプローブ針、106はプローブカードである。

【0004】

プローバ102およびプローブカード106はテスト101に接続されている。また、プローブ針105はプローブカード106の先端に付いており、これがウェハ104と接触し、各チップのパッドに針跡を付加して検査を行う。

【0005】

ロジックとともにDRAMやSRAMを搭載するシステムLSIが全盛となっている昨今は、ロジックファンクションテストやDRAMテスト等のテスト毎に、それぞれのテストに適した検査装置を使い分けて検査を実施している。

【0006】

例えば、ロジックファンクションテストではロジックテストを用いてDCテストおよびファンクションテストを実施し、DRAMテストではDRAM用ALPG搭載テストを用いて検査を実施している。その後、冗長救済をした後に再度DRAMの検査を実施している。

【0007】

【特許文献1】

特開平06-151528号公報（第4頁、第1図）

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来の技術においては、テスト毎にテストを使い分け、テストを実施する度にプローブ針をウェハに接触させるため、ウェハに複数の針跡が付くことになる。これにより、コンタクト抵抗の増加や複数回打点による信頼性上の問題を引き起こす可能性がある。また、複数回テストを行うため、テストコストが膨らみ、テスト時間も問題となる。

【0009】

本発明はかかる点に鑑みてなされたものであり、プローブ針をウェハに極力接触させずにウェハ検査を実施し、かつテスト時間を短縮することが可能なウェハ検査装置およびウェハ検査方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

請求項1の発明は、被検査ウェハを載せるステージと、前記ステージに対向して設けられ前記被検査ウェハとプローブ針とを接触させずに前記被検査ウェハとデータ交換を行うデータ送受信装置と、前記データ送受信装置と接続されるテストとを備える。

【0011】

上記構成によれば、プローブ針を被検査ウェハに接触させずにテストからウェハ検査を実施することができるため、ウェハに針跡が付くことが無く、コンタクト抵抗の増加や信頼性上の問題の発生を回避することができる。

【0012】

請求項2の発明は、請求項1記載のウェハ検査装置において、前記テストは、前記被検査ウェハ上に搭載した、前記データ送受信手段からの電磁誘導により電圧を発生させる1または複数の電圧発生手段から前記被検査ウェハ上の回路に電源を供給した状態で前記被検査ウェハを検査するものである。

【0013】

上記構成によれば、被検査回路に供給する電源電圧をウェハ上で発生させることができるため、ウェハ検査装置側には電圧供給および安定化のためのレギュレータが不要となり、ウェハ上の各チップへの電源供給をコンタクトレスに行うことができる。

【0014】

請求項3の発明は、請求項1または2記載のウェハ検査装置において、前記データ送受信装置は、前記被検査ウェハ上に搭載した、1または複数の無線送受信回路との間でデータ交換を行うものである。

【0015】

上記構成によれば、被検査ウェハとウェハ検査装置の間の無線交信による接続が実現されるため、プローブ針を被検査ウェハに接触させずにテストからウェハ検査を実施することができ、ウェハに針跡が付くことが無く、コンタクト抵抗の増加や信頼性上の問題の発生を回避することができる。

【0016】

請求項4の発明は、請求項1から3のいずれか一項記載のウェハ検査装置において、前記テストは、前記被検査ウェハ上に搭載した、クロックを自己発生する1または複数のクロック発生手段から前記被検査ウェハ上の回路にクロックを供給した状態で前記被検査ウェハを検査するものである。

10

【0017】

上記構成によれば、被検査ウェハ上にクロック発生手段を搭載することにより、ウェハ検査に必要なクロックをテストから供給することが不要になるため、クロック用端子をコンタクトレスにすることができる。

【0018】

請求項5の発明は、請求項2記載のウェハ検査装置において、前記被検査ウェハ上に搭載する電圧発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられるものである。

20

【0019】

請求項6の発明は、請求項3記載のウェハ検査装置において、前記被検査ウェハ上に搭載する無線送受信手段は、前記被検査ウェハ上の被検査回路外の領域に設けられるものである。

【0020】

請求項7の発明は、請求項4記載のウェハ検査装置において、前記被検査ウェハ上に搭載するクロック発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられるものである。

30

【0021】

上記構成によれば、電圧発生部、無線回路部またはクロック発生部を被検査回路外の領域に設けることにより、被検査回路の面積を増やすことなく、プローブ針を接触させないウェハ検査方法を実施することができるため、被検査回路のコストを削減することができる。

【0022】

請求項8の発明は、請求項1から7のいずれか一項記載のウェハ検査装置において、前記被検査ウェハ上の被検査回路は、BIST機能を備えるものである。

【0023】

上記構成によれば、被検査回路に合否判定機能を有するBIST機能を備えることにより、テスト端子および無線回路部で交信するデータ量は格段に少なくなるため、総テスト時間を大幅に削減することができる。

40

【0024】

請求項9の発明は、請求項1から8のいずれか一項記載のウェハ検査装置において、前記被検査ウェハ上の被検査回路は、前記被検査回路をユニークに識別することが可能な識別コードを搭載するものである。

【0025】

上記構成によれば、被検査回路にユニークに識別可能な識別コードを搭載することにより、全チップのテストを一度に行うことができるため、総テスト時間を大幅に削減することができる。

50

【0026】

請求項10の発明は、請求項1から9のいずれか一項記載のウェハ検査装置において、前記テストに接続され、前記被検査ウェハに限定数のプローブ芯を接触させる手段を備える請ものである。

【0027】

上記構成によれば、限定数の端子はプローブ針を接触させることにより、その分については被検査ウェハに搭載する電圧発生部あるいは無線回路部あるいはクロック発生部の回路を削減できるため、これらの回路搭載によるテストコスト削減と、これらの回路削減による回路コスト削減のバランスを適切に選択することができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

図1は、本発明の一実施の形態に係るウェハ検査装置の構成を示す図である。なお、図9に示した従来のウェハ検査装置と同一部分には同一符号を付して説明する。

【0029】

図1に示すウェハ検査装置は、図9に示した従来のウェハ検査装置におけるプローブカード106の代わりに、無線によるデータ送受信装置107を備える。また、ステージ103に搭載されるウェハ104はデータ送受信装置107と無線交信する機能を備え、データ送受信装置107よりテスト開始信号を受信してテストを開始する。テスト終了後、ウェハ上の被検査回路である各LSIはテスト結果をデータ送受信装置107に受け渡す。

【0030】

このようにウェハおよびウェハ検査装置を構成することにより、ウェハとウェハ検査装置の間を無線交信により接続することができるため、従来技術のようなプローブ針が不要となるため、複数回接触によるコンタクト抵抗の増加や信頼性上の問題を回避することができる。

【0031】

図2は、本実施の形態におけるウェハ上の電圧発生部の構成例を示す図である。図2に示すウェハにおいては、テスト対象のLSI（以下、本LSIと称する）201とは別に、インダクタンス203とレギュレータ204からなる電圧発生部202をウェハ上に設けている。データ送受信装置107から発せられた電波の電磁誘導により、電圧発生部202がウェハ上に電圧を発生させ、これを各チップの電源として供給する。

【0032】

このようにウェハおよびウェハ検査装置を構成することにより、電源電圧をウェハ上で発生させることができるため、ウェハ検査装置側には電圧供給および安定化のためのレギュレータが不要となり、ウェハ上の各チップへの電源供給をコンタクトレスに行うことができる。

【0033】

図3は、本実施の形態におけるウェハ上の無線回路部の構成例を示す図である。図3に示すウェハにおいては、本LSI201とは別に、データ送受信装置107と無線交信する機能として、送信回路206と受信回路207からなる無線回路部205をウェハ上に設けている。

【0034】

本LSI201は、データ送受信装置107から発せられたテスト開始信号を受信回路207で受信してテストを開始する。テスト終了後、本LSI201から送信回路206を通じてデータ送受信装置107に向けてテスト結果を送信する。これにより、ウェハとウェハ検査装置の間の無線交信による接続が実現され、各チップとテスト101との検査データの交換をコンタクトレスに行うことができる。

【0035】

図4は、本実施の形態におけるウェハ上のクロック発生部の構成例を示す図である。図4に示すウェハにおいては、本LSI201とは別に、検査に必要なクロックを発生するク

ロック発生部 208 をウェハ上に設けている。

【0036】

クロック発生部 208 は、発振回路等による自励発振クロックを元に、テスト開始信号をトリガとして、本 L S I 201 にクロックを供給する。本 L S I 201 はこのクロックをテスト用クロックとして使用する。これにより、テストに必要なクロックをテスト 101 から供給することが不要になるため、クロック用端子をコンタクトレスにすることができる。

【0037】

以上、本実施の形態においてウェハ上に設ける電圧発生部、無線回路部、クロック発生部によりそれぞれ、電源端子、テスト端子、クロック端子をコンタクトレス化することについて説明したが、これらの機能によるウェハとウェハ検査装置の間のコンタクトレス化を部分的に適用することも可能である。

10

【0038】

すなわち、全端子をコンタクトレス化せずに、電源端子のみをコンタクトにしても良いし、テスト端子のみをコンタクトにしても良いし、クロック端子のみをコンタクトにしても良いし、電源端子とクロック端子をコンタクトにしても良い。電源端子のみをコンタクトにした場合は電圧発生部 202 が不要となり、テスト端子のみをコンタクトにした場合は無線回路部 205 が不要となる。また、クロック端子のみをコンタクトにした場合はクロック発生部 208 が不要となる。

【0039】

このように組み合わせは自由であるが、数端子のみをコンタクトにすることにより各チップに内蔵すべき回路の削減により L S I のコストを削減できるので、本実施の形態によるテストコスト削減の効果と L S I のコストのバランスを適切に選択することができる。

20

【0040】

図 5 は、本実施の形態におけるウェハ上のレイアウト構成例を示す図である。図 5 において、図 2 から図 4 に示したウェハ上の構成と同じ構成要素については同一符号を付し、その説明を省略する。

【0041】

図 5 に示すウェハ上のレイアウト構成においては、前述した電圧発生部 202 や無線回路部 205 やクロック発生部 208 をウェハ 104 のスクライブプレーンを含めた本 L S I 外領域 209 に設けている。

30

【0042】

これらの回路を本 L S I 外領域 209 に設けることにより、組み立て時はこれらの回路と本 L S I 201 が切り離されることから、切り離されても本 L S I 201 に問題が生じないように界面処理を十分考慮に入れて設計する必要がある。

【0043】

このように電圧発生部や無線回路部やクロック発生部を本 L S I 外領域に設けることにより、本 L S I の面積を増やすことなくコンタクトレスウェハ検査を実現できるため、L S I のコスト削減に寄与する。なお、図 5 のレイアウト構成においては電圧発生部、無線回路部、クロック発生部のすべてを設置しているが、すべてを設置する必要はない。

40

【0044】

図 6 は、本実施の形態におけるウェハ上の他のレイアウト構成例を示す図である。図 6 において、図 2 から図 4 に示したウェハ上の構成と同じ構成要素については同一符号を付し、その説明を省略する。

【0045】

図 6 に示すウェハ上のレイアウト構成においては、前述した電圧発生部 202 や無線回路部 205 やクロック発生部 208 をウェハ 104 のスクライブプレーンを含めた本 L S I 外領域 209 に複数個設けている。

【0046】

電圧発生部 202 や無線回路部 205 やクロック発生部 208 は 1 枚のウェハに 1 組でも

50

良いが、本LSI外領域209に設けるのであれば、1チップに1組ずつ設けても良い。このように1チップに1組ずつ設けることにより複数個を同時にテストできるようになり、総テスト時間の削減に寄与する。なお、図6のレイアウト構成においては電圧発生部、無線回路部、クロック発生部のすべてを設置しているが、すべてを設置する必要はない。

【0047】

図7は、本実施の形態における本LSIの内部回路の構成例を示す図である。図7においては、ウェハ検査時にBISTを使用するために、本LSI201内部にBIST制御回路210を設けている。

【0048】

ウェハ検査時はデータ送受信装置107よりテスト開始信号を与え、テスト101は本LSI201のBIST動作による合否判定結果のみを受け取る。BISTにおいては、メモリBISTやロジックBISTもしくはアナログBIST等を組み合わせることができ

10

【0049】

合否判定機能を有するBISTを使用することで、合否判定機能を持たないテスト回路に比べ、テスト端子および無線回路部で送信するデータ量は格段に少なくなり、テスト時間の削減に寄与する。

【0050】

図8は、本実施の形態における本LSIの内部回路の構成例を示す図である。図8においては、ウェハ検査時に各チップを識別するために、本LSI201内部にID格納部211を設けている。ウェハの拡散もしくは拡散後のプローブ検査前の工程において、各本LSI201内部に設けたID格納部211に、各チップに対するユニークなIDを書き込む。

20

【0051】

ウェハ検査時は、データ送受信装置107からウェハ上の全チップに対してテスト開始信号を送信する。検査終了時に、各チップは各IDとともにテスト結果をデータ送受信装置107に送り返す。これにより、従来のような1チップ毎のテストではなく、全チップのテストを一度に行うことができるため、テスト時間の大幅な削減に寄与する。

【0052】

【発明の効果】

以上説明したように、本発明によれば、プローブ針を極力接触せずにウェハ検査ができるため、コンタクト抵抗の増加や信頼性上の問題の発生を回避することができ、また複数回テストの廃止や全チップの同時テストにより総テスト時間の大幅な削減を図ることができる。

30

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るウェハ検査装置の構成を示す図。

【図2】本発明の一実施の形態に係るウェハ上の電圧発生部の構成例を示す図。

【図3】本発明の一実施の形態に係るウェハ上の無線回路部の構成例を示す図。

【図4】本発明の一実施の形態に係るウェハ上のクロック発生部の構成例を示す図。

【図5】本発明の一実施の形態に係るウェハ上のレイアウト構成例を示す図。

40

【図6】本発明の一実施の形態に係るウェハ上のレイアウト構成例を示す図。

【図7】本発明の一実施の形態に係るウェハ上の被検査回路の構成例を示す図。

【図8】本発明の一実施の形態に係るウェハ上の被検査回路の構成例を示す図。

【図9】従来のウェハ検査装置の構成を示す図。

【符号の説明】

101 テスタ

102 プローバ

103 ステージ

104 ウェハ

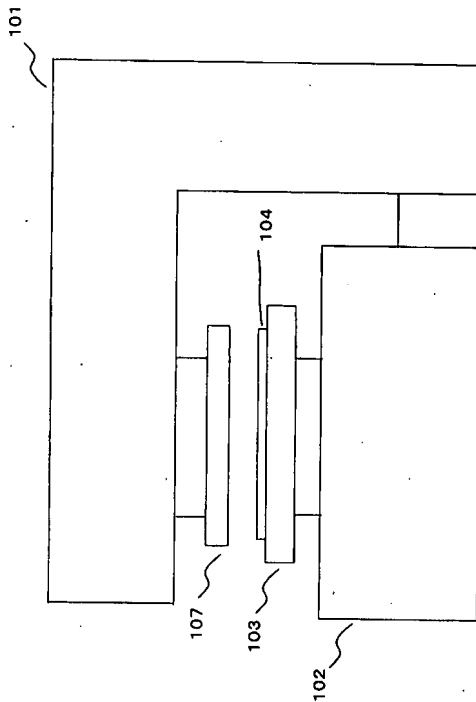
105 プローブ針

50

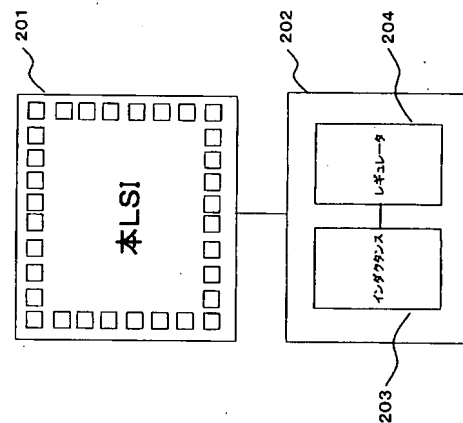
- 106 プローブカード
- 107 データ送受信装置
- 201 本LSI
- 202 電圧発生部
- 203 インダクタンス
- 204 レギュレータ
- 205 無線回路部
- 206 送信回路
- 207 受信回路
- 208 クロック発生部
- 209 本LSI外領域
- 210 BIST制御回路
- 211 ID格納部

10

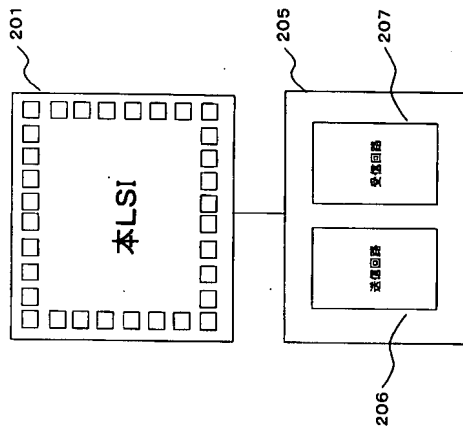
【図1】



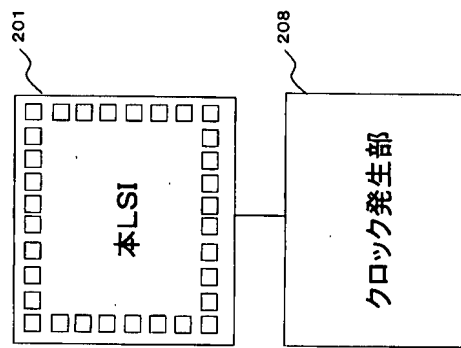
【図2】



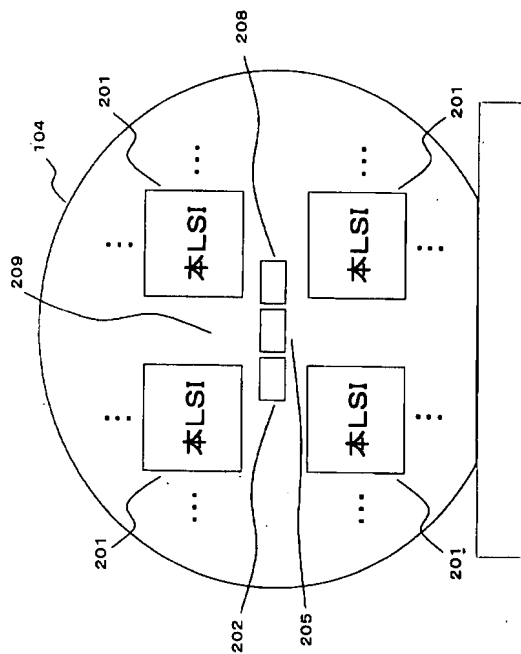
【図 3】



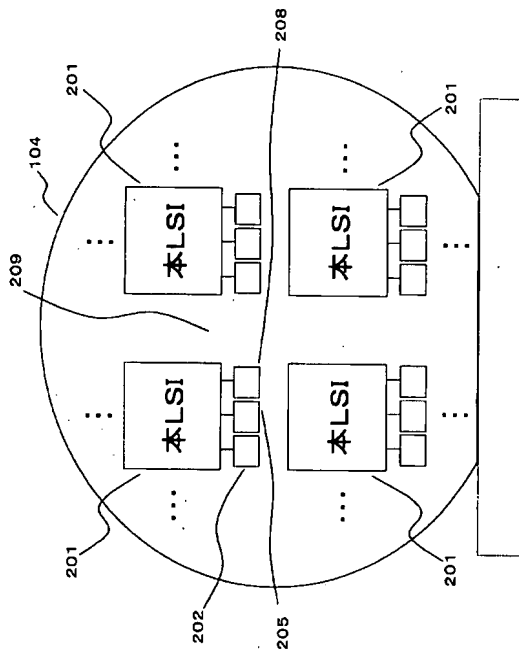
【図 4】



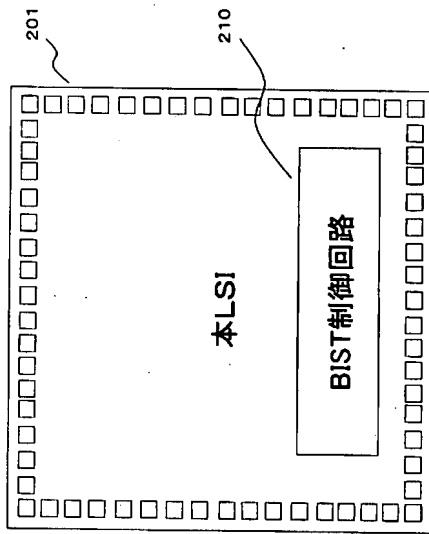
【図 5】



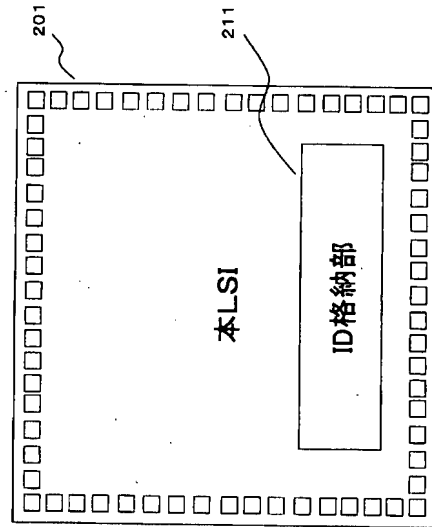
【図 6】



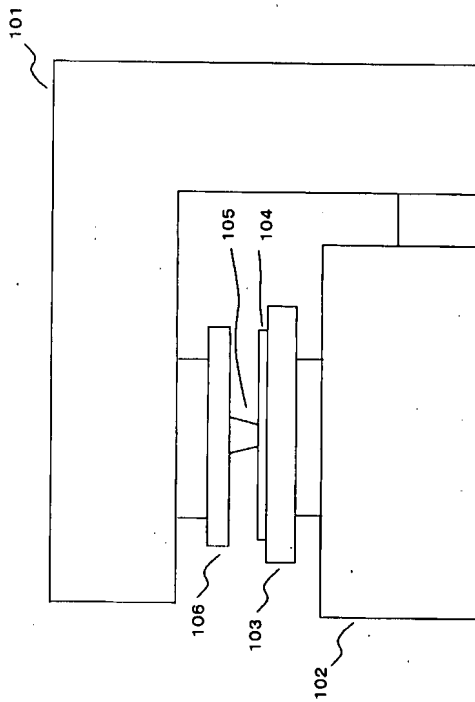
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 水越 隆司

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 4M106 AA01 BA01 BA14 DD00

PAT-NO: JP02004253561A
DOCUMENT-IDENTIFIER: JP 2004253561 A
TITLE: WAFER TEST DEVICE AND METHOD THEREFOR, AND SEMICONDUCTOR WAFER

PUBN-DATE: September 9, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
MIZUKOSHI, TAKASHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP2003041514

APPL-DATE: February 19, 2003

INT-CL (IPC): H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To carry out a wafer test without contacting a probe pin to the wafer as much as possible to avoid such problems as the increase of the contact resistance due to a plurality of probe pin marks left over on the wafer and a reliability problem, and also to shorten the testing time.

SOLUTION: The wafer testing device comprises a stage 103 to place the wafer 104 under test, a prober 102 for supporting the stage 103, data transmission/reception equipment 107 which is placed face to face with the stage 103 and exchanges data with the wafer 104 under test by radio without contacting the probe pin to the wafer 104 under test, and a tester 101 connected to the data transmission/reception equipment 107. A test circuit on the wafer 104 under test receives a test signal from the data transmission/reception equipment 107 and then starts a test, and sends the test results to the data transmission/reception equipment 107 after finishing the test.

COPYRIGHT: (C)2004,JPO&NCIPI

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-253561

(P2004-253561A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int.Cl.⁷

H01L 21/66

F I

H01L 21/66

C

テーマコード(参考)

4M106

審査請求 未請求 請求項の数 12 O L (全 11 頁)

(21) 出願番号 特願2003-41514 (P2003-41514)
 (22) 出願日 平成15年2月19日(2003.2.19)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100105647
 弁理士 小栗 昌平
 (74) 代理人 100105474
 弁理士 本多 弘徳
 (74) 代理人 100108589
 弁理士 市川 利光
 (74) 代理人 100115107
 弁理士 高松 猛
 (74) 代理人 100090343
 弁理士 濱田 百合子

最終頁に続く

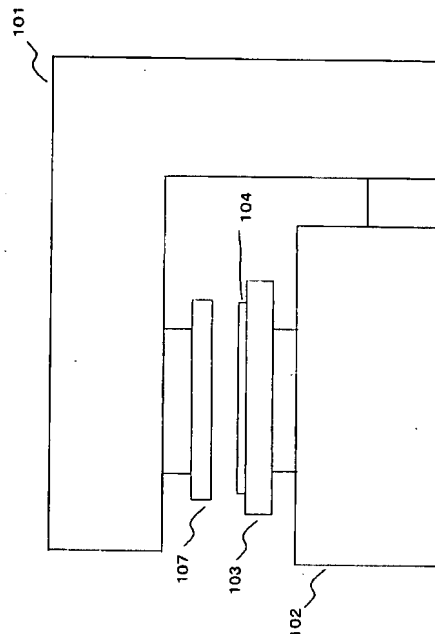
(54) 【発明の名称】 ウェハ検査装置、ウェハ検査方法および半導体ウェハ

(57) 【要約】

【課題】 ウェハに複数のプローブ針跡が付くことによるコンタクト抵抗の増加や信頼性上の問題を回避するため、プローブ針をウェハに極力接触させずにウェハ検査を実施し、かつテスト時間を短縮する。

【解決手段】 被検査ウェハ104を載せるステージ103と、ステージ103を支えるプローバ102と、ステージ103に対向して設けられ被検査ウェハにプローブ針を接触させずに無線により被検査ウェハ104とデータ交換を行うデータ送受信装置107と、データ送受信装置107と接続されるテスト101とを備えたウェハ検査装置を用い、被検査ウェハ104上の被検査回路は、データ送受信装置107よりテスト信号を受信してテストを開始し、テスト終了後にテスト結果をデータ送受信装置107に送信する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

被検査ウェハを載せるステージと、前記ステージに対向して設けられ前記被検査ウェハとプローブ針とを接触させずに前記被検査ウェハとデータ交換を行うデータ送受信装置と、前記データ送受信装置と接続されるテストとを備えるウェハ検査装置。

【請求項 2】

前記テストは、前記被検査ウェハ上に搭載した、前記データ送受信手段からの電磁誘導により電圧を発生させる 1 または複数の電圧発生手段から前記被検査ウェハ上の回路に電源を供給した状態で前記被検査ウェハを検査する請求項 1 記載のウェハ検査装置。

【請求項 3】

前記データ送受信装置は、前記被検査ウェハ上に搭載した、1 または複数の無線送受信回路との間でデータ交換を行う請求項 1 または 2 記載のウェハ検査装置。

【請求項 4】

前記テストは、前記被検査ウェハ上に搭載した、クロックを自己発生する 1 または複数のクロック発生手段から前記被検査ウェハ上の回路にクロックを供給した状態で前記被検査ウェハを検査する請求項 1 から 3 のいずれか一項記載のウェハ検査装置。

【請求項 5】

前記被検査ウェハ上に搭載する電圧発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられる請求項 2 記載のウェハ検査装置。

【請求項 6】

前記被検査ウェハ上に搭載する無線送受信手段は、前記被検査ウェハ上の被検査回路外の領域に設けられる請求項 3 記載のウェハ検査装置。

【請求項 7】

前記被検査ウェハ上に搭載するクロック発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられる請求項 4 記載のウェハ検査装置。

【請求項 8】

前記被検査ウェハ上の被検査回路は、BIST 機能を備える請求項 1 から 7 のいずれか一項記載のウェハ検査装置。

【請求項 9】

前記被検査ウェハ上の被検査回路は、前記被検査回路をユニークに識別することが可能な識別コードを搭載する請求項 1 から 8 のいずれか一項記載のウェハ検査装置。

【請求項 10】

前記テストに接続され、前記被検査ウェハに限定数のプローブ芯を接触させる手段を備える請求項 1 から 9 のいずれか一項記載のウェハ検査装置。

【請求項 11】

請求項 1 から 10 のいずれか一項記載のウェハ検査装置を用いて前記テストから前記被検査ウェハを検査するウェハ検査方法。

【請求項 12】

請求項 1 記載のウェハ検査装置を用いて検査される半導体ウェハであって、請求項 2 から 9 のいずれか一項記載のウェハ検査装置を用いたウェハ検査を行うための回路を搭載する半導体ウェハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体ウェハの検査装置、検査方法および半導体ウェハに関するものである。

【0002】

【従来の技術】

従来、半導体のウェハ検査においては、プローブ針をウェハ上のパッドに接触させる必要があった。プローブ針とパッドの接触においては接触不良による検査ミスを引き起こす可能性があり、その対策としてパッド上のプローブ針の針跡を観察する方法が実施されてい

10

20

30

40

50

る（例えば、特許文献1参照。）。

【0003】

図9は、従来のウェハ検査装置の構成を示す図である。図9において、101はテスト、102はプローバ、103はウェハ104を載せるステージ、105はプローブ針、106はプローブカードである。

【0004】

プローバ102およびプローブカード106はテスト101に接続されている。また、プローブ針105はプローブカード106の先端に付いており、これがウェハ104と接触し、各チップのパッドに針跡を付加して検査を行う。

【0005】

ロジックとともにDRAMやSRAMを搭載するシステムLSIが全盛となっている昨今は、ロジックファンクションテストやDRAMテスト等のテスト毎に、それぞれのテストに適した検査装置を使い分けて検査を実施している。

【0006】

例えば、ロジックファンクションテストではロジックテストを用いてDCテストおよびファンクションテストを実施し、DRAMテストではDRAM用ALPG搭載テストを用いて検査を実施している。その後、冗長救済をした後に再度DRAMの検査を実施している。

【0007】

【特許文献1】

特開平06-151528号公報（第4頁、第1図）

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来の技術においては、テスト毎にテストを使い分け、テストを実施する度にプローブ針をウェハに接触させるため、ウェハに複数個の針跡が付くことになる。これにより、コンタクト抵抗の増加や複数回打点による信頼性上の問題を引き起こす可能性がある。また、複数回テストを行うため、テストコストが膨らみ、テスト時間も問題となる。

【0009】

本発明はかかる点に鑑みてなされたものであり、プローブ針をウェハに極力接触させずにウェハ検査を実施し、かつテスト時間を短縮することが可能なウェハ検査装置およびウェハ検査方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

請求項1の発明は、被検査ウェハを載せるステージと、前記ステージに対向して設けられ前記被検査ウェハとプローブ針とを接触させずに前記被検査ウェハとデータ交換を行うデータ送受信装置と、前記データ送受信装置と接続されるテストとを備える。

【0011】

上記構成によれば、プローブ針を被検査ウェハに接触させずにテストからウェハ検査を実施することができるため、ウェハに針跡が付くことが無く、コンタクト抵抗の増加や信頼性上の問題の発生を回避することができる。

【0012】

請求項2の発明は、請求項1記載のウェハ検査装置において、前記テストは、前記被検査ウェハ上に搭載した、前記データ送受信手段からの電磁誘導により電圧を発生させる1または複数の電圧発生手段から前記被検査ウェハ上の回路に電源を供給した状態で前記被検査ウェハを検査するものである。

【0013】

上記構成によれば、被検査回路に供給する電源電圧をウェハ上で発生させることができるため、ウェハ検査装置側には電圧供給および安定化のためのレギュレータが不要となり、ウェハ上の各チップへの電源供給をコンタクトレスに行うことができる。

【0014】

請求項3の発明は、請求項1または2記載のウェハ検査装置において、前記データ送受信装置は、前記被検査ウェハ上に搭載した、1または複数の無線送受信回路との間でデータ交換を行うものである。

【0015】

上記構成によれば、被検査ウェハとウェハ検査装置の間の無線交信による接続が実現されるため、プローブ針を被検査ウェハに接触させずにテストからウェハ検査を実施することができ、ウェハに針跡が付くことが無く、コンタクト抵抗の増加や信頼性上の問題の発生を回避することができる。

【0016】

請求項4の発明は、請求項1から3のいずれか一項記載のウェハ検査装置において、前記テストは、前記被検査ウェハ上に搭載した、クロックを自己発生する1または複数のクロック発生手段から前記被検査ウェハ上の回路にクロックを供給した状態で前記被検査ウェハを検査するものである。

10

【0017】

上記構成によれば、被検査ウェハ上にクロック発生手段を搭載することにより、ウェハ検査に必要なクロックをテストから供給することが不要になるため、クロック用端子をコンタクトレスにすることができる。

【0018】

請求項5の発明は、請求項2記載のウェハ検査装置において、前記被検査ウェハ上に搭載する電圧発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられるものである。

20

【0019】

請求項6の発明は、請求項3記載のウェハ検査装置において、前記被検査ウェハ上に搭載する無線送受信手段は、前記被検査ウェハ上の被検査回路外の領域に設けられるものである。

【0020】

請求項7の発明は、請求項4記載のウェハ検査装置において、前記被検査ウェハ上に搭載するクロック発生手段は、前記被検査ウェハ上の被検査回路外の領域に設けられるものである。

30

【0021】

上記構成によれば、電圧発生部、無線回路部またはクロック発生部を被検査回路外の領域に設けることにより、被検査回路の面積を増やすことなく、プローブ針を接触させないウェハ検査方法を実施することができるため、被検査回路のコストを削減することができる。

【0022】

請求項8の発明は、請求項1から7のいずれか一項記載のウェハ検査装置において、前記被検査ウェハ上の被検査回路は、BIST機能を備えるものである。

【0023】

上記構成によれば、被検査回路に合否判定機能を有するBIST機能を備えることにより、テスト端子および無線回路部で交信するデータ量は格段に少なくなるため、総テスト時間を大幅に削減することができる。

40

【0024】

請求項9の発明は、請求項1から8のいずれか一項記載のウェハ検査装置において、前記被検査ウェハ上の被検査回路は、前記被検査回路をユニークに識別することが可能な識別コードを搭載するものである。

【0025】

上記構成によれば、被検査回路にユニークに識別可能な識別コードを搭載することにより、全チップのテストを一度に行うことができるため、総テスト時間を大幅に削減することができる。

50

【0026】

請求項10の発明は、請求項1から9のいずれか一項記載のウェハ検査装置において、前記テストに接続され、前記被検査ウェハに限定数のプローブ芯を接触させる手段を備える請ものである。

【0027】

上記構成によれば、限定数の端子はプローブ針を接触させることにより、その分については被検査ウェハに搭載する電圧発生部あるいは無線回路部あるいはクロック発生部の回路を削減できるため、これらの回路搭載によるテストコスト削減と、これらの回路削減による回路コスト削減のバランスを適切に選択することができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

図1は、本発明の一実施の形態に係るウェハ検査装置の構成を示す図である。なお、図9に示した従来のウェハ検査装置と同一部分には同一符号を付して説明する。

【0029】

図1に示すウェハ検査装置は、図9に示した従来のウェハ検査装置におけるプローブカード106の代わりに、無線によるデータ送受信装置107を備える。また、ステージ103に搭載されるウェハ104はデータ送受信装置107と無線交信する機能を備え、データ送受信装置107よりテスト開始信号を受信してテストを開始する。テスト終了後、ウェハ上の被検査回路である各LSIはテスト結果をデータ送受信装置107に受け渡す。

【0030】

このようにウェハおよびウェハ検査装置を構成することにより、ウェハとウェハ検査装置の間を無線交信により接続することができるため、従来技術のようなプローブ針が不要となるため、複数回接触によるコンタクト抵抗の増加や信頼性上の問題を回避することができる。

【0031】

図2は、本実施の形態におけるウェハ上の電圧発生部の構成例を示す図である。図2に示すウェハにおいては、テスト対象のLSI（以下、本LSIと称する）201とは別に、インダクタンス203とレギュレータ204からなる電圧発生部202をウェハ上に設けている。データ送受信装置107から発せられた電波の電磁誘導により、電圧発生部202がウェハ上に電圧を発生させ、これを各チップの電源として供給する。

【0032】

このようにウェハおよびウェハ検査装置を構成することにより、電源電圧をウェハ上で発生させることができるため、ウェハ検査装置側には電圧供給および安定化のためのレギュレータが不要となり、ウェハ上の各チップへの電源供給をコンタクトレスに行うことができる。

【0033】

図3は、本実施の形態におけるウェハ上の無線回路部の構成例を示す図である。図3に示すウェハにおいては、本LSI201とは別に、データ送受信装置107と無線交信する機能として、送信回路206と受信回路207からなる無線回路部205をウェハ上に設けている。

【0034】

本LSI201は、データ送受信装置107から発せられたテスト開始信号を受信回路207で受信してテストを開始する。テスト終了後、本LSI201から送信回路206を通じてデータ送受信装置107に向けてテスト結果を送信する。これにより、ウェハとウェハ検査装置の間の無線交信による接続が実現され、各チップとテスト101との検査データの交換をコンタクトレスに行うことができる。

【0035】

図4は、本実施の形態におけるウェハ上のクロック発生部の構成例を示す図である。図4に示すウェハにおいては、本LSI201とは別に、検査に必要なクロックを発生するク

10

20

30

40

50

ロック発生部208をウェハ上に設けている。

【0036】

クロック発生部208は、発振回路等による自励発振クロックを元に、テスト開始信号をトリガとして、本LSI201にクロックを供給する。本LSI201はこのクロックをテスト用クロックとして使用する。これにより、テストに必要なクロックをテスト101から供給することが不要になるため、クロック用端子をコンタクトレスにすることができる。

【0037】

以上、本実施の形態においてウェハ上に設ける電圧発生部、無線回路部、クロック発生部によりそれぞれ、電源端子、テスト端子、クロック端子をコンタクトレス化することについて説明したが、これらの機能によるウェハとウェハ検査装置の間のコンタクトレス化を部分的に適用することも可能である。

10

【0038】

すなわち、全端子をコンタクトレス化せずに、電源端子のみをコンタクトにしても良いし、テスト端子のみをコンタクトにしても良いし、クロック端子のみをコンタクトにしても良いし、電源端子とクロック端子をコンタクトにしても良い。電源端子のみをコンタクトにした場合は電圧発生部202が不要となり、テスト端子のみをコンタクトにした場合は無線回路部205が不要となる。また、クロック端子のみをコンタクトにした場合はクロック発生部208が不要となる。

【0039】

このように組み合わせは自由であるが、数端子のみをコンタクトにすることにより各チップに内蔵すべき回路の削減によりLSIのコストを削減できるので、本実施の形態によるテストコスト削減の効果とLSIのコストのバランスを適切に選択することができる。

20

【0040】

図5は、本実施の形態におけるウェハ上のレイアウト構成例を示す図である。図5において、図2から図4に示したウェハ上の構成と同じ構成要素については同一符号を付し、その説明を省略する。

【0041】

図5に示すウェハ上のレイアウト構成においては、前述した電圧発生部202や無線回路部205やクロック発生部208をウェハ104のスクライブプレーンを含めた本LSI外領域209に設けている。

30

【0042】

これらの回路を本LSI外領域209に設けることにより、組み立て時はこれらの回路と本LSI201が切り離されることから、切り離されても本LSI201に問題が生じないように界面処理を十分考慮に入れて設計する必要がある。

【0043】

このように電圧発生部や無線回路部やクロック発生部を本LSI外領域に設けることにより、本LSIの面積を増やすことなくコンタクトレスウェハ検査を実現できるため、LSIのコスト削減に寄与する。なお、図5のレイアウト構成においては電圧発生部、無線回路部、クロック発生部のすべてを設置しているが、すべてを設置する必要はない。

40

【0044】

図6は、本実施の形態におけるウェハ上の他のレイアウト構成例を示す図である。図6において、図2から図4に示したウェハ上の構成と同じ構成要素については同一符号を付し、その説明を省略する。

【0045】

図6に示すウェハ上のレイアウト構成においては、前述した電圧発生部202や無線回路部205やクロック発生部208をウェハ104のスクライブプレーンを含めた本LSI外領域209に複数個設けている。

【0046】

電圧発生部202や無線回路部205やクロック発生部208は1枚のウェハに1組でも

50

良いが、本 L S I 外領域 209 に設けるのであれば、1 チップに 1 組ずつ設けても良い。このように 1 チップに 1 組ずつ設けることにより複数個を同時にテストできるようになり、総テスト時間の削減に寄与する。なお、図 6 のレイアウト構成においては電圧発生部、無線回路部、クロック発生部のすべてを設置しているが、すべてを設置する必要はない。

【0047】

図 7 は、本実施の形態における本 L S I の内部回路の構成例を示す図である。図 7 においては、ウェハ検査時に B I S T を使用するために、本 L S I 201 内部に B I S T 制御回路 210 を設けている。

【0048】

ウェハ検査時はデータ送受信装置 107 よりテスト開始信号を与え、テスト 101 は本 L S I 201 の B I S T 動作による合否判定結果のみを受け取る。B I S T においては、メモリ B I S T やロジック B I S T もしくはアナログ B I S T 等を組み合わせることができ

【0049】

合否判定機能を有する B I S T を使用することで、合否判定機能を持たないテスト回路に比べ、テスト端子および無線回路部で送信するデータ量は格段に少なくなり、テスト時間の削減に寄与する。

【0050】

図 8 は、本実施の形態における本 L S I の内部回路の構成例を示す図である。図 8 においては、ウェハ検査時に各チップを識別するために、本 L S I 201 内部に I D 格納部 211 を設けている。ウェハの拡散もしくは拡散後のプローブ検査前の工程において、各本 L S I 201 内部に設けた I D 格納部 211 に、各チップに対するユニークな I D を書き込む。

【0051】

ウェハ検査時は、データ送受信装置 107 からウェハ上の全チップに対してテスト開始信号を送信する。検査終了時に、各チップは各 I D とともにテスト結果をデータ送受信装置 107 に送り返す。これにより、従来のような 1 チップ毎のテストではなく、全チップのテストを一度に行うことができるため、テスト時間の大幅な削減に寄与する。

【0052】

【発明の効果】

以上説明したように、本発明によれば、プローブ針を極力接触せずにウェハ検査ができるため、コンタクト抵抗の増加や信頼性上の問題の発生を回避することができ、また複数回テストの廃止や全チップの同時テストにより総テスト時間の大幅な削減を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の一実施の形態に係るウェハ検査装置の構成を示す図。

【図 2】 本発明の一実施の形態に係るウェハ上の電圧発生部の構成例を示す図。

【図 3】 本発明の一実施の形態に係るウェハ上の無線回路部の構成例を示す図。

【図 4】 本発明の一実施の形態に係るウェハ上のクロック発生部の構成例を示す図。

【図 5】 本発明の一実施の形態に係るウェハ上のレイアウト構成例を示す図。

【図 6】 本発明の一実施の形態に係るウェハ上のレイアウト構成例を示す図。

【図 7】 本発明の一実施の形態に係るウェハ上の被検査回路の構成例を示す図。

【図 8】 本発明の一実施の形態に係るウェハ上の被検査回路の構成例を示す図。

【図 9】 従来のウェハ検査装置の構成を示す図。

【符号の説明】

101 テスタ

102 プローバ

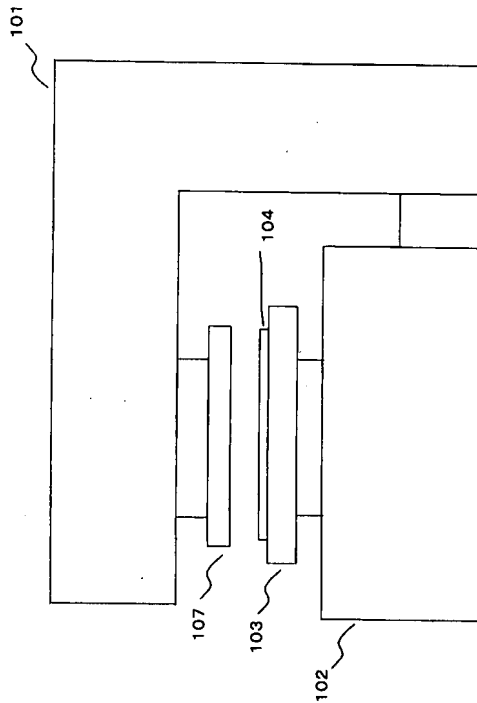
103 ステージ

104 ウェハ

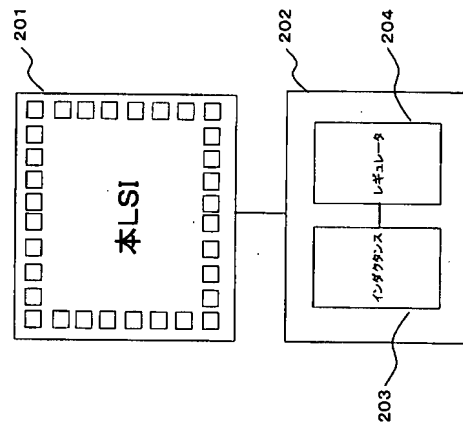
105 プローブ針

- 106 プローブカード
- 107 データ送受信装置
- 201 本LSI
- 202 電圧発生部
- 203 インダクタンス
- 204 レギュレータ
- 205 無線回路部
- 206 送信回路
- 207 受信回路
- 208 クロック発生部
- 209 本LSI外領域
- 210 BIST制御回路
- 211 ID格納部

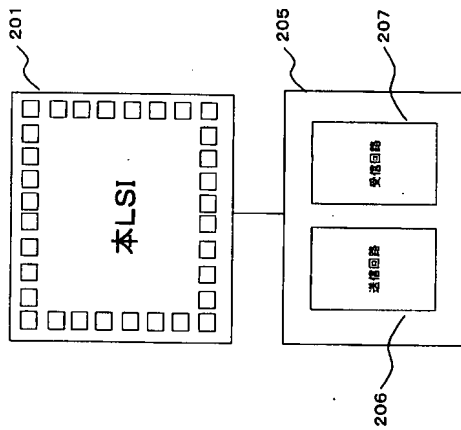
【図1】



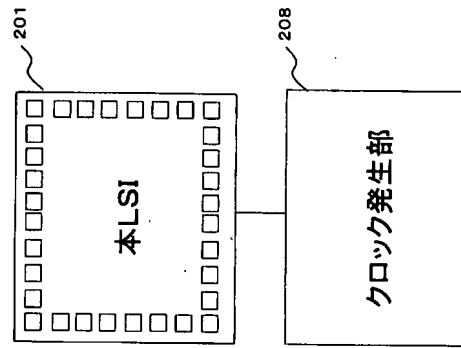
【図2】



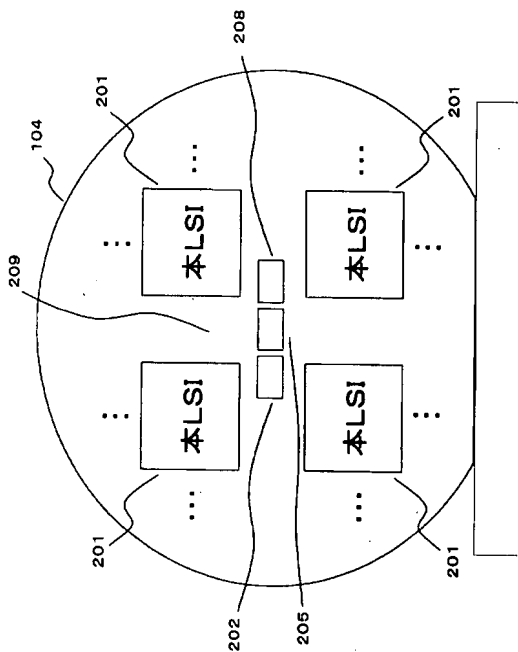
【図 3】



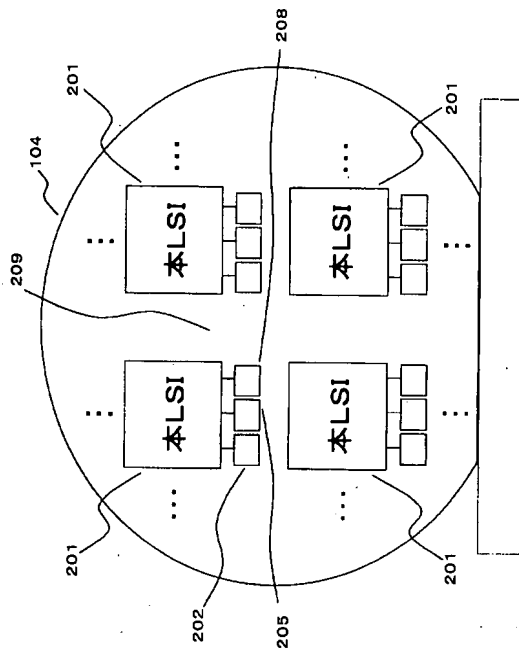
【図 4】



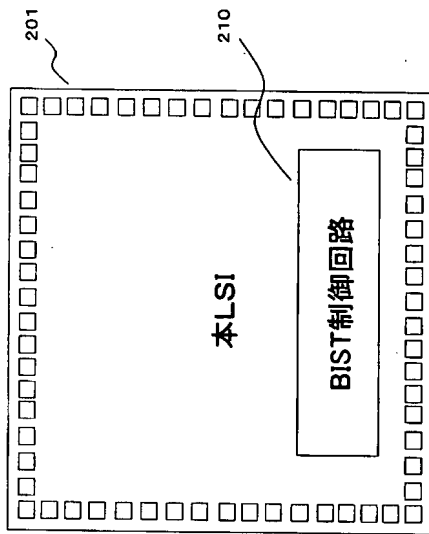
【図 5】



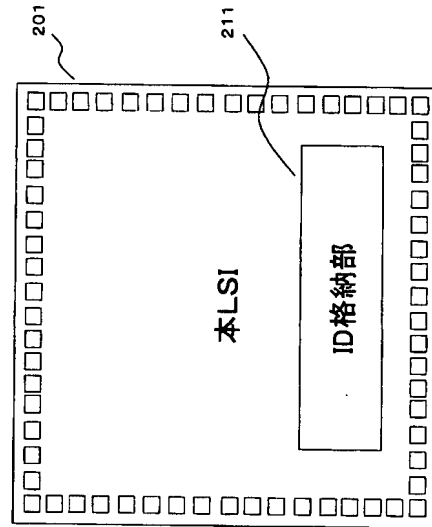
【図 6】



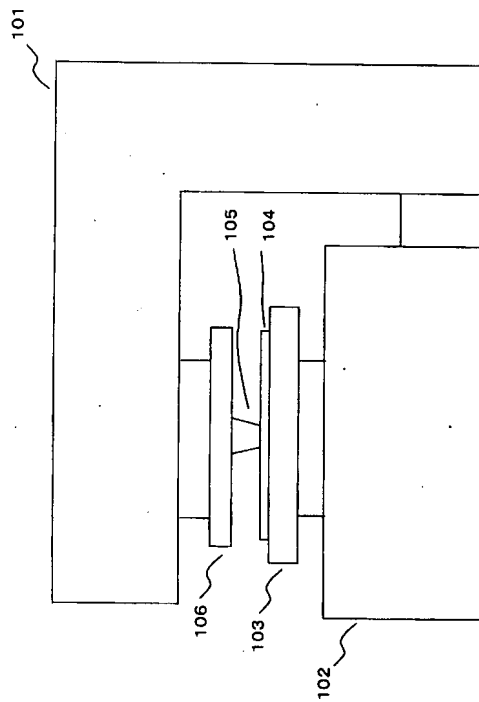
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 水越 隆司

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 4M106 AA01 BA01 BA14 DD00